

Оглавление

Введение	3
Глава 1. Предварительное знакомство с языком Verilog .	7
1.1. История языка Verilog	7
1.2. Первый проект на языке Verilog	8
1.2.1. Описание проекта	8
1.2.2. Моделирование проекта	14
1.3. Базовые элементы языка Verilog	16
1.3.1. Ключевые слова	16
1.3.2. Идентификаторы	17
1.3.3. Белые знаки	18
1.3.4. Комментарии	18
1.4. Сигналы, сети, драйверы	18
1.4.1. Логические значения	19
1.4.2. Логическая мощность (сила) сигналов	20
1.5. Числа	20
1.5.1. Представление целых чисел	20
1.5.2. Представление действительных чисел	22
1.6. Параллелизм языка Verilog	23
Глава 2. Модули	24
2.1. Определение модулей	24
2.2. Элементы модулей	25
2.3. Объявления портов	26
2.4. Экземпляры модулей	28
2.5. Параметры	31
2.6. Неявная передача значений параметров	33
2.7. Массивы экземпляров модулей	33
2.8. Иерархия модулей и иерархия имен	36
2.9. Области иерархии и области действия имен	37
Глава 3. Примитивы и библиотечные модули	39
3.1. Где можно найти готовое решение	39
3.2. Примитивы языка Verilog	40
3.3. Примитивы, определяемые пользователем	44
Глава 4. Типы данных	49
4.1. Два класса типов данных	49
4.2. Сетевые типы данных	50

4.3. Значение сигнала сети	52
4.4. Типы данных переменные	54
4.5. Другие типы данных	56
4.5.1. Параметры	56
4.5.2. Локальные параметры	57
4.5.3. Параметры блока спецификации	57
4.5.4. Переменные генерации	57
4.5.5. Тип данных событие	58
4.5.6. Строки	58
4.6. Выбор битов и битовых полей	59
4.7. Выбор элементов массива и битовых полей элементов массива	60
4.8. Объявление памяти	60
Глава 5. Операции	62
5.1. Операции языка Verilog	62
5.2. Побитовые операции	62
5.3. Операции редукции	64
5.4. Логические операции	65
5.5. Операции отношения	67
5.6. Операции идентичности	68
5.7. Арифметические операции	69
5.8. Разносторонние операции	69
5.9. Выполнение операций	71
5.10. Приоритет операций	71
5.11. Размеры битовых выражений	74
Глава 6. Оператор непрерывного назначения assign	75
6.1. Присваивание значений в языке Verilog	75
6.2. Форматы оператора непрерывного назначения	76
6.3. Использование оператора непрерывного назначения	77
Глава 7. Процедурные операторы и блоки	81
7.1. Процедурные операторы initial и always , процедурные блок	81
7.2. Операторные скобки begin-and и fork-join	82
7.3. Именованные процедурные блоки	82
7.4. Формат процедурных блоков	83
Глава 8. Управление процедурным временем	86
8.1. Оператор задержки #	86
8.2. Оператор чувствительности @	86
8.3. Оператор ожидания wait	87
8.4. Список чувствительности	88
8.5. Список чувствительности в комбинационных схемах	89

8.6. Список чувствительности в последовательностных схемах	91
Глава 9. Операторы процедурного назначения	93
9.1. Общие положения	93
9.2. Оператор блокирующего назначения «= \Rightarrow »	94
9.2.1. Формат	94
9.2.2. Управление временем	97
9.2.3. Внутренние задержки	98
9.2.4. Особенности синтеза	100
9.3. Оператор неблокирующего назначения «<= \Rightarrow »	101
9.3.1. Формат	101
9.3.2. Управление временем	102
9.3.3. Внутренние задержки	104
9.3.4. Особенности синтеза	105
9.4. Управление временем в процедурных операторах назначения во время моделирования	106
9.5. Процедурные операторы assign и deassign	110
9.6. Процедурные операторы force и release	111
Глава 10. Операторы процедурного программирования	114
10.1. Общие положения	114
10.2. Оператор if-else	114
10.3. Оператор case	118
10.4. Операторы casez и casex	122
10.5. Оператор for	124
10.6. Оператор while	125
10.7. Оператор repeat	127
10.8. Оператор forever	129
10.9. Оператор disable	130
10.10. Пример использования операторов процедурного программирования	132
10.11. Различие между операторами wait и while	134
Глава 11. Атрибуты	136
11.1. Атрибуты языка Verilog	136
11.2. Атрибут <i>full_case</i>	137
11.3. Атрибут <i>parallel_case</i>	138
Глава 12. Блок генерации	143
12.1. Блоки генерации языка Verilog	143
12.2. Формат блока генерации	144
12.3. Операторы генерации	144
12.3.1. Группа элементов генерации	144
12.3.2. Оператор if-else	145
12.3.3. Оператор case	146

12.3.4. Оператор for	147
Глава 13. Задачи и функции	149
13.1. Задачи и функции языка Verilog	149
13.2. Автоматические и статические задачи и функции	149
13.3. Задачи	150
13.4. Функции	152
13.5. Константные функции	154
13.6. Сравнение функций и задач	156
Глава 14. Системные задачи и функции	157
14.1. Системные задачи и функции языка Verilog	157
14.2. Системные задачи для отображения текста	157
14.3. Системные задачи и функции для работы с файлами	159
14.3.1. Открытие и закрытие файлов	159
14.3.2. Вывод информации в файл	160
14.3.3. Другие функции работы с файлами	161
14.4. Другие системные задачи и функции	162
14.4.1. Управление процессом симуляции	162
14.4.2. Управление временем симуляции	162
14.4.3. Преобразование знаковых и беззнаковых величин .	163
14.4.4. Запись и чтение в переменные и из строки симво- лов	163
14.4.5. Загрузка содержимого памяти	164
14.4.6. Преобразование переменных типа real в 64-бито- вый вектор	164
14.4.7. Функции для работы с командной строкой	165
Глава 15. Директивы компилятора	167
15.1. Директивы компилятора языка Verilog	167
15.2. Возврат к умалчиваемым значениям директив компиля- тора	167
15.3. Определение значения единицы времени	167
15.4. Макроопределения	168
15.5. Директивы условной компиляции	169
15.6. Включение файлов	169
15.7. Определение умалчиваемого типа цепей	170
15.8. Определение логических значений для неподсоединенных входов	170
15.9. Определение пользовательских библиотек	170
Глава 16. Блоки спецификаций	172
16.1. Блоки спецификаций языка Verilog	172
16.2. Формат блоков спецификаций	172
16.3. Обнаружение путей импульсов (сбоев)	175
16.4. Проверки временных ограничений	176

Глава 17. Конфигурация проекта	178
17.1. Конфигурации	178
17.2. Конфигурационные блоки	179
17.3. Файлы карты библиотеки	180
17.4. Примеры конфигурации проекта	181
17.4.1. Исходное описание проекта	181
17.4.2. Использование конфигурации, заданной в файле карты библиотек	182
17.4.3. Использование оператора default	182
17.4.4. Использование оператора cell	183
17.4.5. Использование оператора instance	183
17.4.6. Использование иерархической конфигурации	183
Глава 18. Синтезируемые конструкции языка Verilog ...	185
18.1. Общие положения	185
18.2. Конструкции языка Verilog, поддерживаемые пакетом Quartus II фирмы Altera	187
Заключение	191
Список литературы	193
Список сокращений	196
Предметный указатель	197