

Оглавление

Предисловие

1. Общие положения
 - 1.1 Значимость интерфейсов
 - 1.2 Терминология
 - 1.3 Организации, утверждающие стандарты
 - 1.4 Эталонная модель взаимосвязи открытых систем
2. Последовательные интерфейсы
 - 2.1 Электрическая схема интерфейса MIL-1553B
 - 2.2 Физическое отображение логических сигналов
 - 2.3 Сообщения в MIL-1553B
 - 2.4 Интерфейс MIL-1773
 - 2.5 Интерфейсы для телеграфной и телефонной связи
3. Приборный интерфейс
 - 3.1 Параллельная магистраль GPIB
 - 3.2 Последовательная магистраль HP-IL
4. Система КАМАК
 - 4.1 Из истории модульных систем
 - 4.2 Стандарты КАМАК
 - 4.3 Базовый стандарт ГОСТ 27080-86 – крейт и модули
 - 4.4 Параллельная ветвь КАМАК
 - 4.5 Последовательная магистраль КАМАК
 - 4.6 Типы крейт-контроллеров
 - 4.7 КАМАК-КОМПЕКС
 - 4.8 FASTCAMAC
 - 4.9 “Вектор”
 - 4.10 Заключение
5. Система VME
 - 5.1 Евромеханика
 - 5.2 Крейт и модули VME
 - 5.3 Логический протокол VME
 - 5.4 Арбитрация в крейте VME
 - 5.5 Прерывания работы процессоров
 - 5.6 Группа служебных линий
 - 5.7 Локальная магистраль VMX
 - 5.8 Последовательная магистраль VMS
 - 5.9 Ассоциация VITA
 - 5.10 Система VXI
 - 5.11 Виртуальные приборы и их программирование
6. Система Multibus
 - 6.1 История и стандарты
 - 6.2 Базовый стандарт в системе Multibus I
 - 6.3 Локальная магистраль LBX
 - 6.4 Магистраль Multichannel
 - 6.5 Магистраль SBX
 - 6.6 Магистраль Bitbus
 - 6.7 Общие характеристики системы Multibus II
 - 6.8 Системная магистраль PSB 42
 - 6.9 Вспомогательные магистрали в системе Multibus II
 - 6.10 Заключение – VME и Multibus
7. Мощные магистрально-модульные системы

- 7.1 Система Фастбас
- 7.2 Расширение стандарта Фастбас на малые модули и крейты в СССР
- 7.3 Система Futurebus
- 7.4 Futurebus+
- 7.5 Многоуровневый системный интерфейс (МСИ)
- 7.6 Заключение

8. PCI – локальная магистраль персональных компьютеров

- 8.1 Комплекс микропроцессора и периферийных устройств
- 8.2 Терминология
- 8.3 Сигналы в магистрали PCI
- 8.4 Назначение контактов разъёмов на магистрали
- 8.5 Определение команд
- 8.6 Основы логического протокола
- 8.7 Трансакции
- 8.8 Арбитрация
- 8.9 Конфигурация и инициализация систем
- 8.10 Электрические характеристики
- 8.11 Тактовые импульсы и быстродействию магистрали
- 8.12 CompactPCI
- 8.13 Версия PCI 2.2
- 8.14 Интерфейсы ISA и EISA
- 8.15 Заключение

9. Расширяемый связный интерфейс – логический протокол

- 9.1 Предпосылки к разработке системы
- 9.2 Структура узлов и сетей РСИ
- 9.2 Трансакции в РСИ
- 9.3 Адресация
- 9.4 Пакеты посылки
- 9.5 Форматы трансакций
- 9.6 Очереди пакетов в узлах
- 9.7 Распределение пропускной способности по приоритетам
- 9.8 Переключатели
- 9.9 Дальние трансакции
- 9.10 Трансакции пересылки
- 9.11 Передачи избранных байтов
- 9.12 Основные логические протоколы и форматы
- 9.13 Свободные символы
- 9.14 Соглашение о выставлении флага при пакетах разного типа
- 9.15 Формат символов при последовательной передаче побитно
- 9.16 Синхронизация в колечках
- 9.17 Таймауты запросчика
- 9.18 Работа дворника в колечке
- 9.19 Инициализация систем
- 9.20 Связность кэш-строк
- 9.21 Прикладной программный интерфейс для программирования физического уровня систем РСИ (ПИФУ)
- 9.22 Заключение

10. Расширяемый связный интерфейс – конструкции и сигналы

- 10.1 Крейт и модули
- 10.2 Разъём в крейте
- 10.3 Питание модулей и нулевые проводники
- 10.4 Географическая адресация
- 10.5 Дифференциальные сигналы
- 10.6 Разъёмы и кабели для передачи НДС
- 10.7 Окно сигналов 124

- 10.8 Последовательные каналы с однополярными сигналами
- 10.9 Коррекция задержек и разбросов фронтов НДС

11 РСИ в суперкомпьютерах

- 11.1 О суперкомпьютерах и их применениях
- 11.2 Регулярные структуры компьютеров
- 11.3 Переключатели 134
- 11.4 Пропускная способность РСИ и производительность процессоров
- 11.5 Интерфейсы памяти
- 11.6 Связи кэш-ей в суперкомпьютерах
- 11.7 РСИ в системах реального времени
- 11.8 Фирменные суперкомпьютеры с интерфейсом РСИ
- 11.9 Заключение

12 Основные сетевые технологии

- 12.1 Функциональные профили
- 12.2 Сеть Этернет
- 12.3 Сеть Интернет
- 12.4 Сеть АТМ с асинхронными временными ячейками
- 12.5 СериалПлюс
- 12.6 Изохронные режимы
- 12.7 Система Myrinet
- 12.8 Заключение.

14 Электромагнитные наводки на аппаратуру интерфейсов

- 14.1 Происхождение помех и наводок
- 14.2 Характеристики электрических линий
- 14.3 Предотвращение возникновения помех
- 14.4 Уменьшения взаимного влияния информационных линий
- 14.5 Защита аппаратуры от помех, приходящих из сети питания
- 14.6 Примеры применения методов борьбы с помехами
- 14.7 Меры по уменьшению помех и наводок, принятые в стандартах
- 14.8 О систематических и случайных помехах
- 14.9 Заключение 217

Литература